

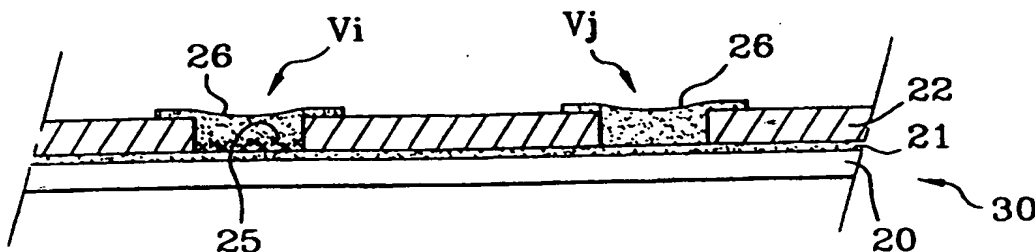


## DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets <sup>6</sup> : <b>H01L 27/02</b>	<b>A1</b>	(11) Numéro de publication internationale: <b>WO 98/57373</b> (43) Date de publication internationale: 17 décembre 1998 (17.12.98)
(21) Numéro de la demande internationale: PCT/IB97/00695 (22) Date de dépôt international: 13 juin 1997 (13.06.97) (71)(72) Déposant et inventeur: KOWALSKI, Tomasz [PL/PL]; ul. Przy Agorze 18 m 8, PL-01-930 Varsovie (PL).		(81) Etats désignés: AL, AM, AT, AU, AZ, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, HU, IL, IS, JP, KE, KG, KP, KR, KZ, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TR, TT, UA, UG, US, UZ, VN, brevet ARIPO (GH, KE, LS, MW, SD, SZ, UG, ZW), brevet eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).  Publiée <i>Avec rapport de recherche internationale.</i>

(54) Title: METHOD FOR MAKING AN INTEGRATED CIRCUIT AND INTEGRATED CIRCUIT PRODUCED BY SAID METHOD

(54) Titre: PROCEDE DE FABRICATION D'UN CIRCUIT INTEGRE ET CIRCUIT INTEGRE REALISE SELON CE PROCEDE



## (57) Abstract

The aim of the invention is to protect the integrity of integrated circuits and it concerns a method for making an integrated circuit (30) consisting in: making a first level of strip conductor tracks (21); making an insulating layer (22) covering the first strip conductor track level; making in the insulating layer a plurality of interconnecting apertures (vi, vj); making a second strip conductor track level (26) to be connected to the first strip conductor track level (21) through said interconnecting apertures; and making at least a dummy interconnecting aperture (vi) comprising an electrically insulating barrier (25).

## (57) Abrégé

La présente invention a pour but de protéger l'intégrité des circuits intégrés et propose un procédé de fabrication d'un circuit intégré (30) comprenant une étape de fabrication d'un premier niveau de pistes conductrices (21), une étape de fabrication d'une couche isolante (22) couvrant le premier niveau de pistes conductrices, une étape de fabrication dans la couche isolante d'une pluralité d'orifices d'interconnexion (vi, vj), une étape de fabrication d'un deuxième niveau de pistes conductrices (26) susceptibles d'être connectées au premier niveau de pistes conductrices (21) au moyen desdits orifices d'interconnexion, et une étape de fabrication d'au moins un orifice d'interconnexion (vi) factice comportant une barrière d'isolement électrique (25).

No

# UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce			TR	Turquie
BG	Bulgarie	HU	Hongrie	ML	Mali	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MN	Mongolie	UA	Ukraine
BR	Brésil	IL	Israël	MR	Mauritanie	UG	Ouganda
BY	Bélarus	IS	Islande	MW	Malawi	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	MX	Mexique	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NE	Niger	VN	Viet Nam
CG	Congo	KE	Kenya	NL	Pays-Bas	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NO	Norvège	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	NZ	Nouvelle-Zélande		
CM	Cameroun			PL	Pologne		
CN	Chine	KR	République de Corée	PT	Portugal		
CU	Cuba	KZ	Kazakhstan	RO	Roumanie		
CZ	République tchèque	LC	Sainte-Lucie	RU	Fédération de Russie		
DE	Allemagne	LI	Liechtenstein	SD	Soudan		
DK	Danemark	LK	Sri Lanka	SE	Suède		
EE	Estonie	LR	Libéria	SG	Singapour		

Procédé de fabrication d'un circuit intégré et circuit  
intégré réalisé selon ce procédé

La présente invention concerne un procédé de fabrication d'un circuit intégré et un circuit intégré réalisé selon ce procédé.

- 5 L'objectif de la présente invention est de préserver l'intégrité des circuits intégrés vis à vis de personnes qui voudraient en découvrir la structure et le fonctionnement.
- 10 De façon générale, lorsque l'on observe un circuit intégré au moyen d'un microscope optique ou électronique (on pourra également se munir d'une photographie de circuit intégré faite avec un fort grossissement), on distingue tout d'abord à la surface du circuit des zones
- 15 de silicium de grande densité, ou zones actives, comprenant des éléments actifs et passifs comme des transistors, des résistances, des capacités électriques... Entre ces zones actives, on distingue des zones de moins grande densité comportant des pistes
- 20 conductrices reliant les zones actives entre elles. Si l'on observe de plus près la surface des pistes conductrices, on distingue en certains points des altérations qui peuvent être des bosses ou des creux. De telles altérations correspondent à des orifices
- 25 d'interconnexion électrique reliant les pistes conductrices de la surface à des pistes conductrices présentes dans la profondeur du circuit intégré, ou pistes enterrées. Ces orifices de faible diamètre (classiquement de l'ordre de 1 micromètre) traversent une

couche isolante pour atteindre les piste enterrées, lesquelles participent, avec les pistes de surface, à l'interconnexion des zones actives du circuit intégré.

5 Selon l'invention, on propose de réaliser, dans un circuit intégré, des orifices d'interconnexion factices, c'est-à-dire des orifices d'interconnexion ne reliant pas électriquement des pistes conductrices de niveaux différents.

10

L'idée de l'invention est d'empêcher, ou du moins rendre inextricable, les opérations dites "d'ingénierie inverse" qui permettent d'analyser les circuits intégrés et d'en découvrir la structure et les secrets de fonctionnement.

15

Une opération d'ingénierie inverse portant sur un circuit intégré comprend en effet les étapes suivantes :

- i) une étape de repérage visuel des liaisons électriques entre les zones actives du circuit intégré,
- 20 ii) une étape de reconstitution du schéma des interconnexions des zones actives,
- iii) une étape d'analyse du fonctionnement électrique du circuit intégré, consistant à observer les divers signaux électriques circulant entre les zones actives, par
- 25 exemple au moyen d'un microscope à balayage électronique,
- iv) une étape de reconstitution de la structure et du fonctionnement des zones actives du circuit intégré au moyen d'un logiciel de simulation électrique et à partir des résultats des étapes ii) et iii) précédentes.

30

L'étape initiale i) de repérage des liaisons électriques entre les zones actives, dite de recherche des équipotentiellles, est une étape essentielle du procédé d'ingénierie inverse et comprend nécessairement des

35 étapes d'analyse de la topographie (ou agencement) des

pistes conductrices de surface, d'analyse de la topographie des pistes enterrées, et d'analyse des interconnexions entre ces pistes. Ces étapes sont essentiellement basées sur l'observation visuelle. En général, on repère tout d'abord la topographie des pistes conductrices du niveau visible et, grâce aux altérations décrites plus haut, on repère la répartition des orifices d'interconnexion. Par une abrasion chimique de la surface du circuit intégré, on fait ensuite apparaître les pistes enterrées et on détermine leurs connexions avec les pistes du niveau supérieur. Une fois connus la topographie des divers niveaux de pistes conductrices et les interconnexions entre ces niveaux, il est aisé d'en déduire les liaisons électriques existant entre les zones fonctionnelles.

La présente invention propose donc de rendre difficile voire rédhibitoire la réalisation de cette première étape du procédé d'ingénierie inverse, par la prévision de faux orifices d'interconnexion ayant un aspect authentique et induisant en erreur la personne procédant à l'analyse d'un circuit intégré selon l'invention.

Ainsi, la présente invention prévoit tout d'abord un procédé de fabrication d'un circuit intégré, comprenant une étape de fabrication d'au moins un premier niveau de pistes conductrices, une étape de fabrication d'une couche isolante couvrant le premier niveau de pistes conductrices, une étape de fabrication dans la couche isolante d'une pluralité d'orifices d'interconnexion, et une étape de fabrication d'au moins un deuxième niveau de pistes conductrices susceptibles d'être connectées électriquement aux pistes du premier niveau au moyen des orifices d'interconnexion, procédé comprenant une étape

de fabrication d'au moins un orifice d'interconnexion factice comportant une barrière d'isolement électrique.

Selon un mode de réalisation, le procédé comprend une  
5 étape de fabrication d'au moins un orifice d'interconnexion ne traversant pas entièrement la couche isolante.

Selon un mode de réalisation, le procédé comprend une  
10 étape de fabrication d'une couche d'un matériau isolant dans au moins un orifice d'interconnexion.

Selon un mode de réalisation, le procédé comprend une  
15 étape de fabrication d'au moins une couche de silicium dopé dans au moins un orifice d'interconnexion.

De préférence, on fabrique une barrière d'isolement électrique d'une épaisseur suffisamment faible pour  
n'être pas décelable par abrasion chimique de la couche  
20 isolante.

Selon un mode de réalisation, le procédé comprend une  
étape de fabrication, dans une piste conductrice en  
silicium dopé N ou P, à l'endroit où débouche au moins un  
25 orifice d'interconnexion, d'une zone de diffusion inverse P ou N formant avec la piste une jonction PN.

La présente invention concerne également un circuit intégré comprenant des pistes conductrices réparties sur  
30 au moins un premier et un second niveau de profondeur du circuit intégré, et des orifices d'interconnexion présumée de pistes des premier et second niveaux pratiqués dans une couche isolante séparant les deux niveaux de pistes, dans lequel certains orifices

d'interconnexion présumée sont factices et ne relient pas électriquement des pistes des premier et second niveaux.

Selon un mode de réalisation, le circuit intégré comprend  
5 des orifices ne traversant pas entièrement la couche isolante.

Selon un mode de réalisation, le circuit intégré comprend des orifices comportant une couche d'oxyde formant une  
10 barrière d'isolement électrique.

Selon un mode de réalisation, le circuit intégré comprend des orifices comportant une jonction silicium de type PN ou NP formant une barrière d'isolement électrique.

15

Ces caractéristiques ainsi que d'autres, et les avantages de la présente invention, seront exposés en détail dans la description suivante d'un procédé de fabrication selon l'invention, et de divers exemples d'orifices  
20 d'interconnexion selon l'invention, faite en relation avec les figures jointes parmi lesquelles :

- les figures 1A et 1B représentent de façon partielle deux niveaux de pistes conductrices d'un circuit intégré,
- la figure 2 est une vue en coupe partielle d'un circuit  
25 intégré selon l'invention et représente un premier mode de réalisation d'un orifice d'interconnexion selon l'invention,
- la figure 3 représente un autre mode de réalisation d'un orifice d'interconnexion selon l'invention,
- 30 - la figure 4 représente une variante de l'orifice d'interconnexion de la figure 4,
- la figure 5 représente encore un autre mode de réalisation d'un orifice d'interconnexion selon l'invention, et

- les figures 6A à 6F illustrent des étapes d'un procédé de fabrication d'un circuit intégré selon l'invention.

Sur les diverses vues en coupe des figures 2 à 6F, les  
5 épaisseurs relatives des couches d'un circuit intégré ne sont pas à l'échelle mais ont été tracées arbitrairement pour améliorer la lisibilité des figures.

Comme on l'a indiqué plus haut, la présente invention  
10 propose de rendre difficile voire rédhibitoire la réalisation de la première étape du procédé d'ingénierie inverse concernant les circuits intégrés (repérage visuel des interconnexions) par la prévision de faux orifices  
15 d'interconnexion ayant un aspect authentique et induisant en erreur la personne procédant à l'analyse du circuit.

Pour fixer tout d'abord les idées sur les avantages offerts par l'invention, la figure 1A représente une vue de dessus partielle d'un niveau N2 d'un circuit intégré,  
20 par exemple le niveau de surface, et la figure 1B représente une vue de dessus partielle d'un niveau inférieur N1 tel qu'il peut apparaître après une destruction chimique du niveau N2 et de la couche isolante séparant les deux niveaux. Au niveau N2, on voit  
25 trois pistes conductrices A, B, C présentant des altérations ha, hb, hc correspondant à des orifices d'interconnexion présumée avec des pistes du niveau inférieur N1. Au niveau N1, on voit deux pistes conductrices D et E. Dans l'art antérieur, la  
30 superposition des figures 1A et 1B et la position des altérations ha, hb, hc permettent de déduire sans ambiguïté que les pistes A et C du niveau N2 sont connectées à la piste D du niveau N1 et que la piste B est connectée à la piste E : on a donc trouvé, dans l'art



antérieur, une équipotentielle A-D-C et une équipotentielle B-E.

Selon l'invention, la superposition des figures 1A et 1B  
5 ne confère aucune certitude, étant donné que les altérations ha, hb et hc correspondent peut-être à des orifices d'interconnexion factices.

La figure 2 est une vue partielle en coupe d'un circuit  
10 intégré 10 à deux niveaux de pistes conductrices N1, N2 et représente un orifice d'interconnexion "vrai" v1 et un orifice d'interconnexion factice v2 selon l'invention. On aperçoit sur cette vue partielle deux pistes conductrices 12-1, 12-2 du niveau N1 (en coupe transversale) et une  
15 piste conductrice 14 du niveau N2 (en coupe longitudinale). Les pistes 12-1 et 12-2, par exemple en métal ou en polysilicium, reposent sur le substrat 11 du circuit intégré et sont couvertes par une couche isolante 13, par exemple de l'oxyde de silicium SiO<sub>2</sub>, dans  
20 laquelle sont pratiqués les orifices v1 et v2. La piste conductrice 14 repose sur la couche isolante 13 et le matériau qui la constitue, par exemple du métal, s'étend à l'intérieur des orifices v1 et v2. L'orifice v1 est disposé au croisement de la piste 14 et de la piste 12-1  
25 et l'orifice v2 au croisement de la piste 14 et de la piste 12-2. Sur la figure, on voit que l'orifice v1 traverse entièrement la couche isolante 13 de sorte que les pistes 14 et 12-1 sont connectées électriquement. Par contre, l'orifice v2 comporte une barrière d'isolement  
30 électrique 15 selon l'invention qui empêche la piste 14 d'être au contact de la piste 12-2. Selon le mode de réalisation illustré par la figure 2, cette barrière d'isolement électrique 15 est obtenue en réalisant un orifice v2 ne traversant pas entièrement la couche  
35 isolante 13 et ne débouchant pas sur le niveau N1.

La figure 3 représente, toujours par une vue en coupe, un autre mode de réalisation d'un orifice d'interconnexion factice v3 selon l'invention. Ici, l'orifice v3 traverse  
5 entièrement la couche isolante 13 mais comporte une barrière d'isolement électrique 16 de faible épaisseur, par exemple une fine barrière d'oxyde d'une épaisseur de 80 Å (soit 10 à 15 couches atomiques d'oxyde), disposée au fond de l'orifice v3 à la surface de la piste  
10 conductrice 12-2 (pour fixer les idées, l'épaisseur de la couche isolante 13 est classiquement de l'ordre de 5 micromètres). Comme cela est bien connu de l'homme de l'art, une couche d'oxyde d'une telle épaisseur est suffisante pour empêcher la circulation d'un courant sous  
15 une tension pouvant atteindre les 10 V.

L'orifice v3 de la figure 3 présente sur l'orifice v2 de la figure 2 l'avantage de ne pouvoir être distingué d'un orifice "vrai" après abrasion chimique totale ou  
20 partielle de la couche isolante 13, car une telle abrasion détruirait la barrière d'isolement 16, compte tenu de sa finesse. Par contre, si l'on se reporte à la figure 2, on voit qu'une abrasion chimique de la couche isolante 13 selon un plan AA' passant par la barrière  
25 isolante 15 pourrait peut-être permettre de différencier l'orifice factice v2 de l'orifice "vrai" v1.

Bien entendu, des orifices d'interconnexion factices selon l'invention peuvent être prévus à tous niveaux de  
30 profondeur d'un circuit intégré, par exemple entre les niveaux classiques N1 à N4 suivants (indiqués selon un ordre de profondeur décroissante) :

- N1 : pistes conductrices en silicium dopé N ou P,
- N2 : pistes conductrices en silicium polycristallin (ou  
35 polysilicium),

N3 (ou Métal 1) : pistes métalliques enterrées,  
N4 (ou Métal 2) : pistes métalliques à la surface du circuit intégré.

- 5 Ainsi, comme montré sur la figure 4, un orifice d'interconnexion factice v4 comprenant une barrière d'oxyde 16 peut également déboucher sur une piste inférieure 12-3 en silicium dopé P ou N.
- 10 La figure 5 illustre un mode de réalisation d'un orifice factice v5 dans lequel la barrière d'isolement électrique est une jonction PN. Dans cet exemple, l'orifice v5 débouche sur une piste inférieure 12-3 en silicium dopé P. Une zone 17 de diffusion N est créée dans l'épaisseur
- 15 même de la piste 12-3, à l'endroit où débouche l'orifice v5. La jonction PN ainsi réalisée forme une sorte de diode se trouvant en permanence dans l'état bloqué quand la piste inférieure 12-3 reçoit une tension électrique supérieure au potentiel électrique de la piste
- 20 supérieure 14. Bien entendu, la piste 12-3 peut être en silicium dopé N et la zone de diffusion 17 en silicium dopé P.

De nombreux autres modes de réalisation de l'invention

25 pourront être mis en oeuvre par l'homme de l'art. Par exemple, sur la figure 5, la jonction PN aurait pu être réalisée par un dépôt, au fond de l'orifice v5, d'une fine couche de silicium, suivi d'un dopage N de cette couche. Egalement, une jonction PN peut être réalisée par

30 dépôt successif, dans l'orifice d'interconnexion, de deux couches de silicium, l'une étant dopée P et l'autre dopée N (ou inversement). Ce mode de réalisation n'est pas seulement réservé aux orifices d'interconnexion débouchant sur des pistes en silicium dopé et peut

35 s'appliquer aux orifices d'interconnexion reliant deux

pistes métalliques ou reliant une piste métallique et une piste en polysilicium.

Ainsi, en fonction des différences de potentiel électrique devant être appliqués aux pistes conductrices, on pourra disposer des jonctions PN ou NP, voire des jonctions PNP ou NPN si les potentiels électriques entre pistes conductrices sont susceptibles de s'inverser.

10 Comme cela apparaîtra clairement à l'homme de l'art, la présente invention peut être mise en oeuvre sans modification substantielle des procédés de fabrication classiques des circuits intégrés, seule une étape intermédiaire de fabrication de la barrière d'isolement  
15 électrique dans certains orifices d'interconnexion devant être prévue.

A titre d'exemple, les figures 6A à 6F représentent, parmi les étapes successives de fabrication d'un circuit  
20 intégré 30, celles qui caractérisent l'invention.

Au cours d'une étape représentée en figure 6A, on a implanté classiquement à la surface d'une plaquette de silicium 20 des pistes conductrices 21 (une seule piste  
25 21, vue en coupe longitudinale, apparaît sur la figure), et l'on a déposé sur l'ensemble une couche d'oxyde 22.

Au cours d'une étape représentée en figure 6B, on a déposé classiquement un masque de gravure 23 sur le  
30 circuit intégré et l'on a fait apparaître des orifices d'interconnexion vi, vj dans la couche d'oxyde 22. Les orifices vj sont destinés à des interconnexions classiques alors que les orifices vi ont été prévus, au stade de la conception du circuit intégré, pour réaliser  
35 des interconnexions factices.

Ainsi, dans une étape illustrée en figure 6C, on masque les orifices v<sub>j</sub> sauf les orifices v<sub>i</sub> au moyen d'une résine 24, et l'on dépose une fine couche d'oxyde 25 au fond des orifices v<sub>i</sub> par croissance sèche ou humide. De  
5 préférence, la fine couche d'oxyde 25 est d'une épaisseur très faible de l'ordre de quelques dizaines d'angströms pour n'être pas décelable par abrasion chimique, comme indiqué plus haut.

10

La figure 6D montre l'aspect intermédiaire du circuit intégré 30 une fois le masque 24 dissout. Vu en coupe, le circuit intégré a l'aspect d'un circuit classique à la différence près que les orifices v<sub>i</sub> (un seul étant  
15 représenté sur la figure 6D) sont "bouchés" par la fine couche d'oxyde 25.

Ensuite, dans une étape illustrée en figure 6E, on réalise de façon classique des pistes conductrices 26 par  
20 dépôt de métal ou de polysilicium sur l'oxyde 22 au moyen d'un masque approprié 27.

La figure 6F représente l'aspect final du circuit intégré 30 une fois le masque 27 dissout. On voit que les  
25 orifices d'interconnexion v<sub>i</sub> réalisés ont la structure de l'orifice v<sub>3</sub> décrit en relation avec la figure 3.

Bien entendu, le procédé qui vient d'être décrit est susceptible de nombreuses variantes et modes de  
30 réalisation. Par exemple, si les pistes inférieures 21 sont en silicium dopé N ou P, l'étape de la figure 6C peut être une étape de dopage P ou N de la zone des pistes 21 apparaissant au fond des orifices v<sub>i</sub>, conformément au mode de réalisation de la figure 5.

35

Egalement, l'étape de la figure 6C peut comprendre une étape de croissance d'une fine couche de silicium au fond des orifices vi, puis de dopage N de cette couche, puis de croissance d'une deuxième couche de silicium de faible épaisseur, puis de dopage P de la deuxième couche, de manière à réaliser à l'intérieur des orifices une jonction PN ou NP de faible épaisseur.

Egalement, pour réaliser la barrière d'isolement 15 plus épaisse de la figure 2, l'étape de la figure 6C peut être supprimée et l'étape de la figure 6B divisée en une première étape de gravure partielle de la couche isolante 22 au moyen du masque 23 et une deuxième étape de gravure complémentaire des orifices vj au moyen d'un masque de gravure couvrant les orifices vi.

En définitive, les diverses possibilités pour l'implantation d'une barrière d'isolement électrique ou barrière de conduction dans un orifice d'interconnexion peuvent être résumées comme suit :

- création volontaire d'une mauvaise ouverture de l'orifice,
- dépôt d'un matériau isolant dans l'orifice, en général un oxyde de silicium,
- 25 - croissance thermique d'un isolant (ou toute autre méthode de dépôt) dans l'orifice (possible entre pistes métal 1/métal 2 ou polysilicium/métal 1 ou encore polysilicium/métal 2),
- dopage inverse P ou N de la piste inférieure, dans la zone où débouche l'orifice (possible pour des pistes inférieures dopées N ou P),
- 30 - dépôt dans l'orifice d'une jonction PN ou NP ou tout autre moyen permettant de créer une barrière de conduction.

35

Bien entendu, les étapes décrites plus haut, de création de connexions factices selon l'invention, peuvent être insérées dans n'importe quel procédé classique de fabrication d'un circuit intégré, comprenant d'autres  
5 étapes de fabrication, par exemple de fabrication de transistors, de composants actifs ou passifs, qui n'ont pas été décrites et représentées dans un souci de simplicité.

- 10 D'autre part, ces étapes peuvent être répétées autant que nécessaire, selon le nombre de niveaux de pistes conductrices (N1, N2, N3, N4, etc.) que comporte le circuit intégré. Egalement, les diverses méthodes proposées plus haut (dépôt d'isolant, création d'une  
15 jonction PN, ...) peuvent être combinées.

En pratique, la présente invention peut être mise en oeuvre de façon systématique au stade de la conception d'un circuit intégré moyennant une modification à la  
20 portée de l'homme de l'art des outils de conception classiques. En effet, les pistes conductrices d'un circuit intégré, leur agencement sur plusieurs niveaux de profondeur, leur répartition (ou topographie) sur chaque niveau, et les interconnexions entre différents niveaux  
25 sont généralement déterminés par des logiciels dits "de routage" à partir d'un schéma d'interconnexion qui leur est fourni. Une fois le "routage" déterminé par le logiciel, on fait intervenir un sous-programme de mise en oeuvre de l'invention définissant de façon automatique un  
30 certain nombre d'interconnexions factices entre ces pistes. Ce nombre d'interconnexions factices est de préférence élevé, dans les limites permises par la technologie de fabrication. Par exemple, une interconnexion factice peut être systématiquement prévue  
35 à chaque croisement de deux pistes conductrices de deux

niveaux de profondeur adjacents. Dans ce cas, la présente invention peut permettre de multiplier au moins par 10 le temps d'analyse par ingénierie inverse d'un circuit intégré comprenant un millier de portes logiques, 5 actuellement de l'ordre de la centaine d'heures (opérations d'abrasion chimique non comprises). Ce résultat avantageux est dû au fait que l'analyse inverse d'un circuit intégré selon l'invention nécessite d'avoir recours à l'étape iii) du procédé décrit plus haut 10 (observation des signaux au microscope électronique) pour découvrir les équipotentiels du circuit, la réalisation des étapes i) et ii) (reconstitution visuelle du schéma d'interconnexion) étant rendue impossible par la présente invention.

15 Par ailleurs, bien que l'on ait proposé dans ce qui précède de prévoir des orifices d'interconnexion selon l'invention dans les zones de pistes reliant les zones actives d'un circuit intégré, il est bien évident que le 20 procédé de l'invention peut également être appliqué aux zones actives elles-mêmes lorsque celles-ci présentent des interconnexions avec des pistes enterrées.

Enfin, il apparaîtra clairement à l'homme de l'art que le 25 champ d'application de la présente est très étendu et concerne de façon générale tous les circuits intégrés dont l'intégrité doit être préservée. Parmi ces circuits intégrés figurent notamment les circuits intégrés des cartes à puces ou équivalents qui possèdent des fonctions 30 d'authentification à logique câblée dont les mécanismes doivent être protégés.



REVENDICATIONS

1. Procédé de fabrication d'un circuit intégré (10, 30),  
comprenant une étape de fabrication d'au moins un premier  
niveau de pistes conductrices (12-1, 12-2, 12-3, 21), une  
étape de fabrication d'une couche isolante (13, 22)  
5 couvrant le premier niveau de pistes conductrices, une  
étape de fabrication dans la couche isolante d'une  
pluralité d'orifices d'interconnexion (v1, v2, v3, v4,  
vi, vj), et une étape de fabrication d'au moins un  
deuxième niveau de pistes conductrices (14, 26)  
10 susceptibles d'être connectées électriquement aux pistes  
du premier niveau au moyen desdits orifices  
d'interconnexion, caractérisé en ce qu'il comprend une  
étape de fabrication d'au moins un orifice  
d'interconnexion (v2, v3, v4, v5, vi) factice comportant  
15 une barrière d'isolement électrique (15, 16, 17, 25).

2. Procédé selon la revendication 1, comprenant une étape  
de fabrication d'au moins un orifice (v2)  
d'interconnexion ne traversant pas entièrement ladite  
20 couche isolante (13).

3. Procédé selon la revendication 1, comprenant une étape  
de fabrication d'une couche (16, 25) d'un matériau  
isolant dans au moins un orifice d'interconnexion (v3,  
25 v4, vi)

4. Procédé selon la revendication 1, comprenant une étape  
de fabrication d'au moins une couche de silicium dopé  
dans au moins un orifice d'interconnexion.  
30

5. Procédé selon l'une des revendications précédentes,  
dans lequel on fabrique une barrière d'isolement

électrique (16, 25) d'une épaisseur suffisamment faible pour n'être pas décelable par abrasion chimique de la couche isolante (13, 22).

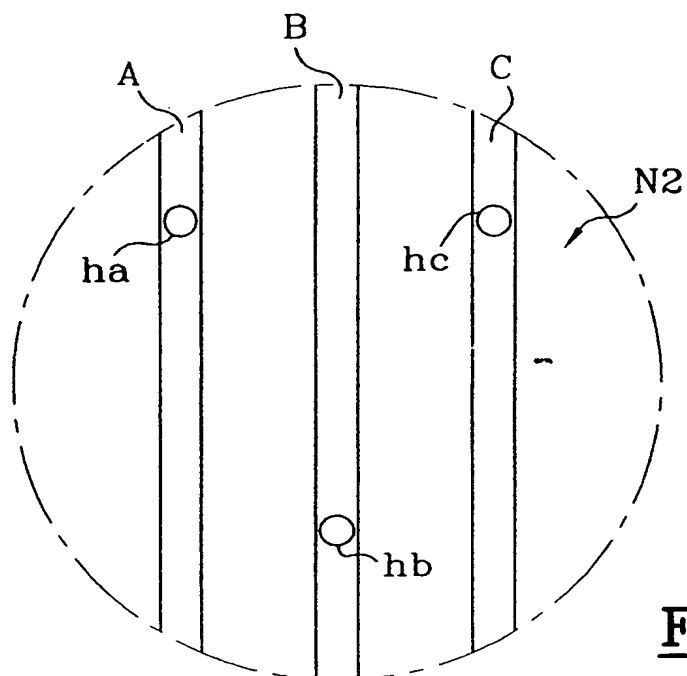
5 6. Procédé selon la revendication 1, comprenant une étape de fabrication, dans une piste conductrice (12-3) en silicium dopé N ou P, à l'endroit où débouche au moins un orifice d'interconnexion (v5), d'une zone (17) de diffusion inverse P ou N formant avec la piste (12-3) une  
10 jonction PN.

7. Circuit intégré (10, 30) comprenant des pistes conductrices (12-2, 14, 20, 26) réparties sur au moins un premier (N1) et un second niveau (N2) de profondeur du  
15 circuit intégré, et des orifices (v1, v2, v3, v4, v5, vi, vj) d'interconnexion présumée de pistes des premier et second niveaux pratiqués dans une couche isolante (13, 22) séparant les deux niveaux de pistes, caractérisé en ce que certains orifices d'interconnexion présumée (v2,  
20 v3, v4, v5, vi) sont factices et ne relient pas électriquement des pistes (12-2, 14, 21, 26) des premier et second niveaux.

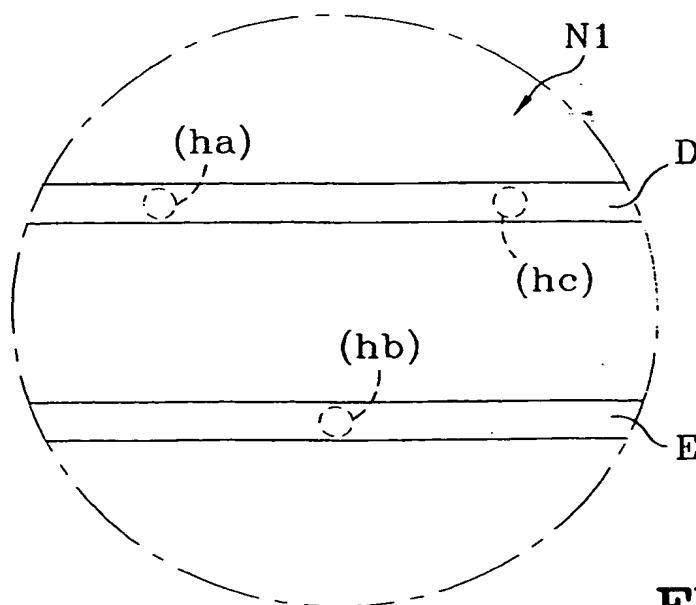
8. Circuit (10) selon la revendication 7, comprenant des  
25 orifices (v2) ne traversant pas entièrement la couche isolante (13).

9. Circuit selon la revendication 7, comprenant des orifices (v3, v4, vi) comportant une couche d'oxyde (16,  
30 25) formant une barrière d'isolement électrique.

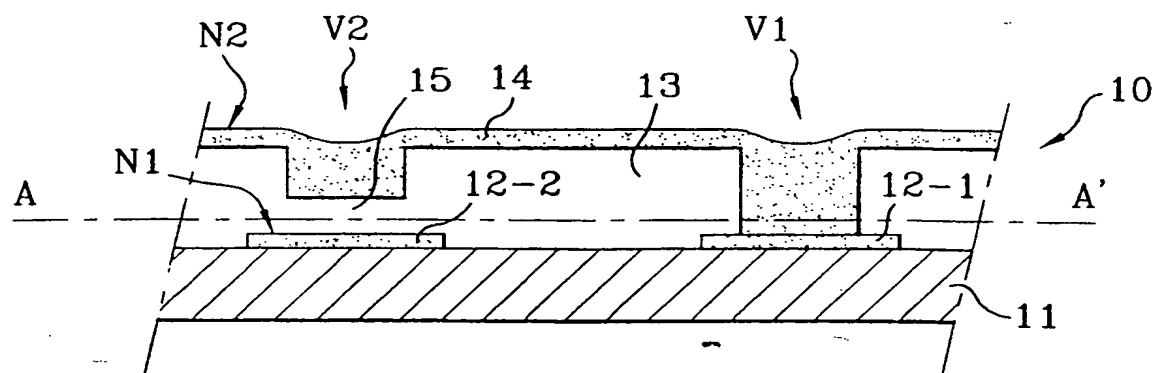
10. Circuit selon la revendication 6, comprenant des orifices (v5) comportant une jonction silicium de type PN ou NP (12-3, 17) formant une barrière d'isolement  
35 électrique.



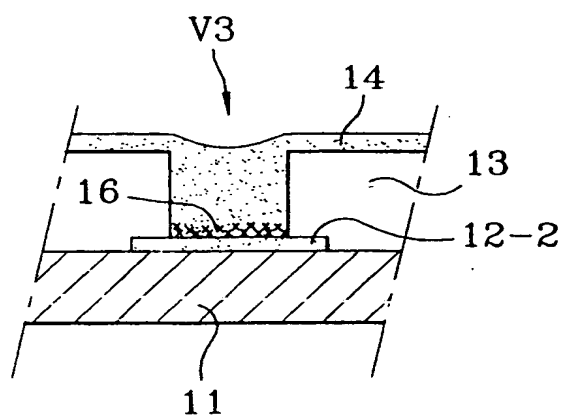
**FIG. 1A**



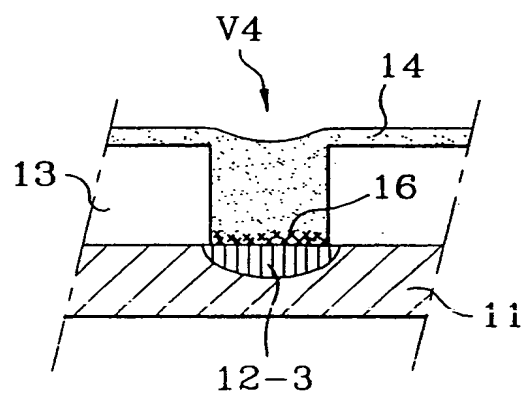
**FIG. 1B**



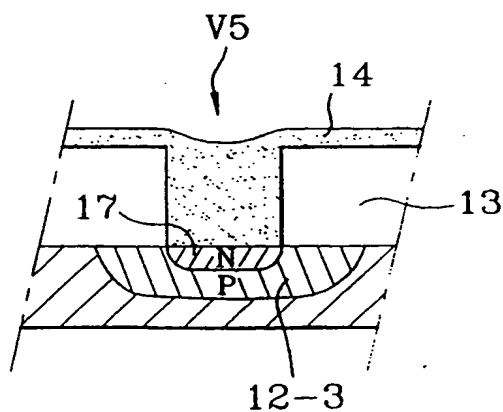
**FIG.2**



**FIG.3**

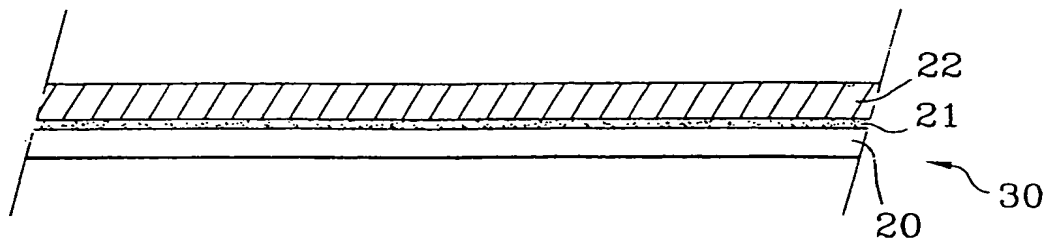
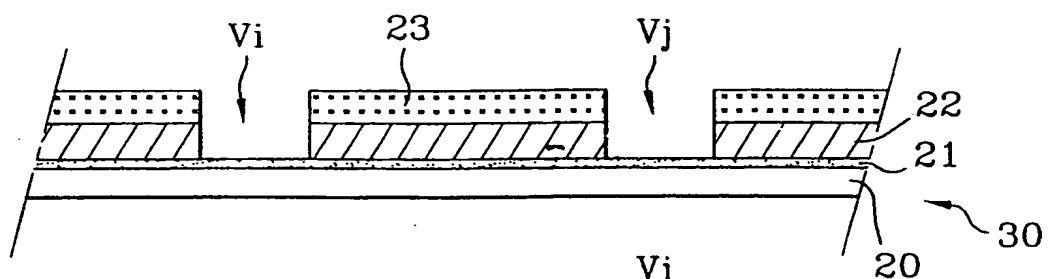
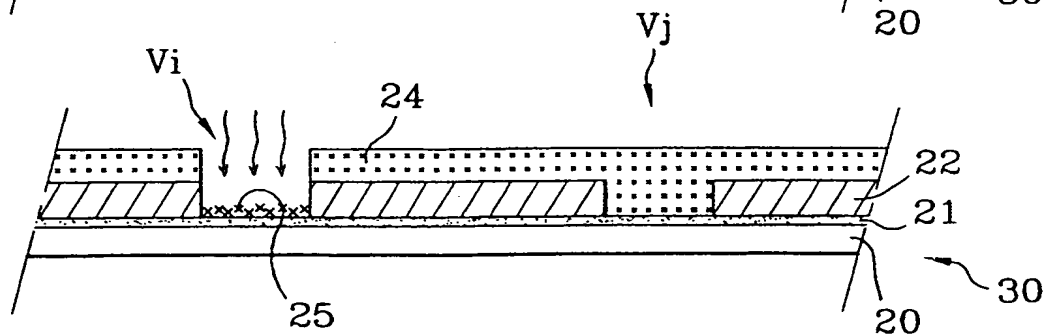
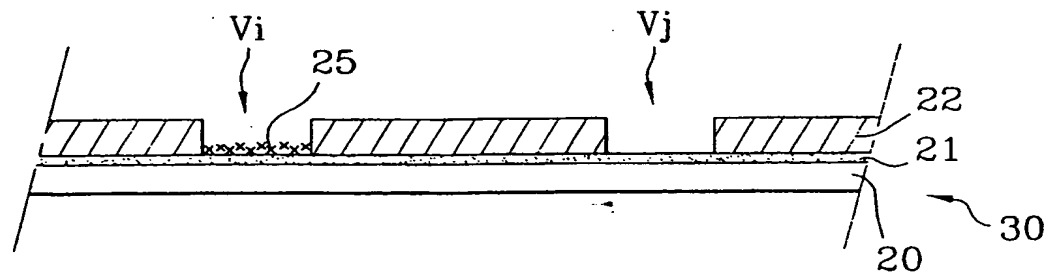
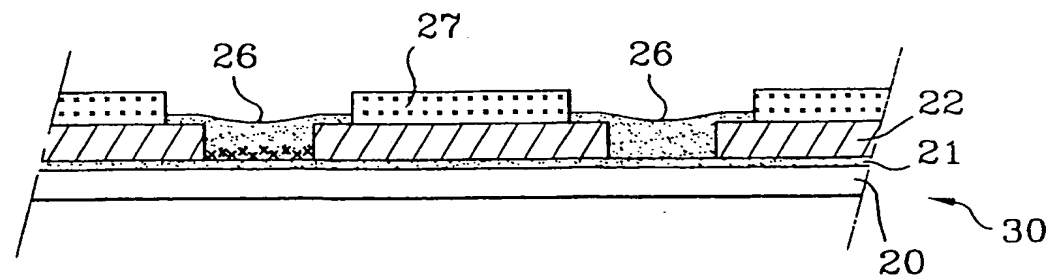
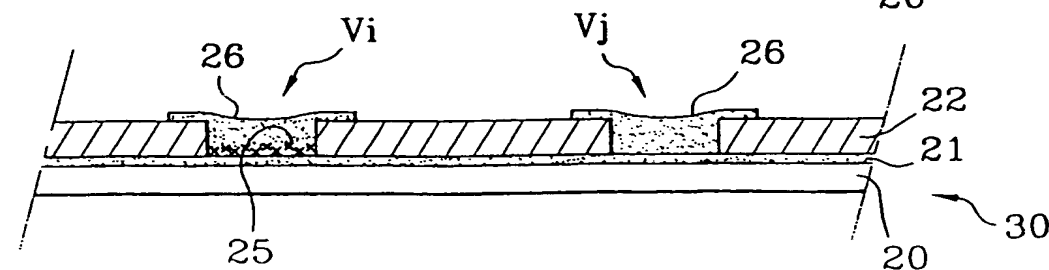


**FIG.4**



**FIG.5**

3/3

**FIG.6A****FIG.6B****FIG.6C****FIG.6D****FIG.6E****FIG.6F**

# INTERNATIONAL SEARCH REPORT

Inte. onal Application No

PCT/IB 97/00695

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 H01L27/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 010, no. 343 (E-456), 19 November 1986 & JP 61 147551 A (NEC CORP), 5 July 1986, see abstract -----	1-3, 7-9

☐ Further documents are listed in the continuation of box C.

☐ Patent family members are listed in annex.

### \* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

6 February 1998

Date of mailing of the international search report

23/02/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Fransen, L

# RAPPORT DE RECHERCHE INTERNATIONALE

Den 2 Internationale No

PCT/IB 97/00695

A. CLASSEMENT DE L'OBJET DE LA DEMANDE  
CIB 6 H01L27/02

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)  
CIB 6 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS.

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	PATENT ABSTRACTS OF JAPAN vol. 010, no. 343 (E-456), 19 novembre 1986 & JP 61 147551 A (NEC CORP), 5 juillet 1986, voir abrégé	1-3, 7-9

☐ Voir la suite du cadre C pour la fin de la liste des documents

☐ Les documents de familles de brevets sont indiqués en annexe

\* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

6 février 1998

Date d'expédition du présent rapport de recherche internationale

23/02/1998

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Fransen, L

76

THIS PAGE BLANK (USPTO)